

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 7
H01L 21/316

(45) 공고일자 2002년09월28일
(11) 등록번호 10-0354441
(24) 등록일자 2002년09월13일

(21) 출원번호 10-2000-0082829
(22) 출원일자 2000년12월27일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일

(73) 특허권자 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416

(72) 발명자 구주선
경기도수원시팔달구영통동964-5번지신나무실주공APT515동501호
홍은기
경기도수원시팔달구영통동황골마을주공APT135동1801호
김홍근
경기도수원시팔달구영통동벽산APT223동1202호
홍진기
경기도수원시장안구조원동881한일타운APT154동1802호

(74) 대리인 임창현
권혁수

심사관 : 신창우

(54) 반도체 장치의 스펀 온 글래스 절연막 형성 방법

요약

본 발명은 반도체 장치의 SOG 절연막 형성 방법에 관한 것으로, 복수의 단차진 패턴을 가지는 기판에 고형 성분이 20 중량% 이하인 폴리실라제인 용액을 이용하여 SOG 절연막을 도포하는 단계, 절연막의 용매성분을 제거하기 위한 50 내지 350도 온도 범위의 프리 베이킹을 실시하는 단계, 프리 베이킹 후에 600 내지 1200도의 온도에서 어닐링을 실시하는 단계를 구비하여 이루어진다. 프리 베이킹과 고온 어닐링 사이에 400도 내외의 하드 베이킹이 더 구비될 수 있으며, 중량% 범위는 10 내지 15%가 바람직하다.

대표도
도 9

명세서

도면의 간단한 설명

도1은 종래의 반도체 장치의 SOG 절연막 형성 단계를 나타내는 흐름도이다.

도2는 종래의 반도체 장치의 SOG 절연막 형성 시의 문제를 나타내는 단면도이다.

도3 및 도4는 반도체 장치의 SOG 절연막 형성시 하드 베이킹을 하고 어닐링을 하는 경우의 문제점을 나타내는 그래프들이다.

도5 내지 도8은 본 발명의 일 실시예에 따른 반도체 장치의 SOG 절연막 형성의 중요 단계를 나타내는 공정 단면도들이다.

도9는 본 발명의 SOG 절연막 형성 단계를 나타내는 흐름도이다.

※도면의 중요 부분에 대한 부호의 설명

21: 파티클 23: SOG막

25: 크랙 51: 기판

53: 도전체 패턴 55,57: SOG막

59: CVD 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 절연막 형성방법에 관한 것으로, 보다 상세하게는 SOG(Spin On Glass)막을 사용하는 반도체 장치의 절연막 형성방법에 관한 것이다.

반도체 장치의 소자 고집적화에 따라 반도체 장치의 소자의 미세화 및 장치의 다층화가 이루어지고 있다. 이런 고집적화된 반도체 장치에서는 상하층의 소자 및 배선을 연결하는 콘택홀이나 비아홀의 가로세로비(aspect ratio)가 증가하고, 단차가 커지는 문제가 심화된다. 하부의 심한 단차는 상부의 배선이나 소자 형성시 노광에 의한 패턴닝에 문제를 야기시키므로 영역에 따른 단차를 줄이는 방법이 요구되고 있으며, 좁은 홀을 형성하고, 좁은 홀에 물질을 채워넣는 방법이 요구된다. 가령, 기판에 형성된 게이트 라인 사이에 층간절연막을 채워넣고, 층간절연막 상면을 평탄화하는 방법이 요구된다.

단차를 줄이는 문제와 좁은 틈에 물질을 채워넣는 방법으로 제시된 것에 BPSG(boro-phosphor silicate glass)막을 형성하고 830도(℃) 이상의 온도에서 리플로우 시키는 방법이다. 그러나 소자 고집적화가 진행되어 디자인 룰이 엄격해지면서 작아진 트랜지스터에 층간절연막 형성을 위한 830도 이상의 열처리는 소자에 손상을 미칠 수 있다는 문제가 발생한다.

고온 열처리의 문제를 없애기 위해 대안으로 선택될 수 있는 것이 갭필(gap fill) 능력이 우수한 오존 TEOS(Tetra E thyle Ortho Silicate) USG(Undoped Silicate Glass)나 HD PECVD(High Density Plasma Enhanced Chemical Vapor Deposition)이다. 그러나 이들 막질 역시 CD(critical demension) 0.18micro meter 이하의 디자인 룰에서 보이드(void)나 심(seam)을 발생시키기 쉽다.

이러한 문제들을 방지하기 위해 절연막으로 사용되는 것에 SOG막이 있다. SOG는 도포방식으로 기판에 적층되며, 처음 액상 혹은 졸(sol) 상태를 가지므로 갭 필(gap fill)특성이 좋고, 단차를 줄이는 효과를 가질 수 있다.

SOG막의 하나인 HSQ(hydro silsesquioxane)막이 도포되면, 100 내지 300도 정도의 저온에서 온도를 올리면서 소프트 베이크를 실시하여 용매 성분을 제거하고, 400도 정도의 하드 베이크를 수십분 실시하여 막을 경화시켜 사용한다. 그런데, HSQ막은 비록 산화성 분위기에서 하드 베이크를 하는 경우에도 산소와 실리콘 외의 원소를 산소와 치환시켜 이산화 실리콘 결정 구조를 이루는 큐어링(curing)이 잘 이루어지지 않는다. 특히, SOG막이 요구되는 환경에서는, 즉, 패턴 사이의 좁고 깊은 틈새를 메우기 위해 사용될 경우에는 산소 및 산소와 결합된 성분이 확산되기 어렵다. 또한, 막 표면부터 큐어링이 이루어져 산소의 확산을 방해하게 되므로 비교적 저온에서 큐어링이 이루어지는 HSQ막은 큐어링이 잘 이루어지지 않는다.

그리고, 큐어링이 잘 이루어지지 않을 경우, HSQ SOG막 내에 미처 제거되지 못한 수소 성분 등이 막의 다공화(porus) 등의 문제를 발생시킬 수 있다. 이들 잔류 성분이 있는 다공화 상태에서 패턴닝을 위한 식각이 이루어지고, 세정이 이루어지는 경우 다공화된 부위는 타 부위에 비해 식각량이 급속히 증가한다.

가령, 기판에 MOS(metal oxide silicon) 트랜지스터 구조를 형성하고 층간 절연막으로 HSQ를 사용할 경우 게이트 라인 사이의 깊은 부분에는 다공성의 막이 생기기 쉽다. 따라서, 스토리지 노드 콘택이나 비트라인 콘택을 위한 패드를 자기 정렬 방식으로 형성하는 과정에서 다공성의 하부 SOG막이 드러나게 되고, 드러난 하부 SOG막은 침식에 매우 민감하여 세정과정에 SC1(H₂O₂, H₂O, NH₄OH의 혼합물)이나 BOE(buffered oxide etcher) 같은 세정액에 소량 사용된 에천트에도 쉽게 침식된다. 그리고, 침식의 결과, 드러난 SOG막의 하부를 통해 인근의 패드 사이에 파이프 라인 형태의 연결(bridge)이 형성될 수 있다. 이런 연결은 배선 사이의 단락(short)을 일으켜 소자의 정상적인 작동을 불가능하게 한다.

또한, 치유 상태가 완전한 부분과 비교할 때 열팽창 등에 따른 장력(stress)의 차이가 발생하므로 불량 발생의 가능성을 높이고 소자 신뢰성을 떨어뜨리는 원인이 된다.

한편, SOG 물질 가운데 실라제인(silazane) 계열은 $-(SiR_1R_2NR_3)_n-$ 로 표시될 수 있는 통상 평균 분자량 1000 내지 10000 정도의 물질로 R₁, R₂ 및 R₃가 모두 수소로 된 퍼하이드로 폴리실라제인이나 R₁, R₂ 및 R₃가 각각 탄소 1 내지 8개의 알킬기나 기타 아릴기, 알콕시기 등의 유기 원자단으로 이루어진 유기 폴리실라제인 같은 물질로, 디부틸 에테르(dibutyl ether), 톨루엔, 크실렌 같은 유기 용매에 일정 중량%로 포함된 상태로 도포에 사용된다. 통상 폴리실라제인으로 불리는 이런 SOG 도포 물질은 실리케이트(silicate)나 실록산(siloxane) 계열에 비해 높은 온도에서 열처리가 이루어지고 보다 완전한 큐어링이 가능하여 습식 식각에 대한 저항성이 높다. 따라서 HSQ와 같은 막에 비해 공정 적용이 용이하다.

폴리실라제인을 도포하면 베이크를 통해 용매성분만 제거한 뒤 통상 600도 이상의 고온에서 가령 700도 정도의 고온 어닐링으로 큐어링을 실시한다. 이러한 베이크 및 큐어링 방법은 닛폰 덴키 주식회사에서 출원한 발명(일본국 특허출원 번호 97-044132)의 상세한 설명 중에 개시되어 있으며, 도1은 종래의 반도체 장치의 SOG 절연막 형성 단계를 나타내는 흐름도이다. 패턴이 기판에 형성되는 단계(10), SOG막을 도포하는 단계(20), 프리 베이크를 실시하는 단계(30), 고온 어닐링을 실시하는 단계(40) 및 후속 공정을 실시하는 단계(50)가 순차적으로 이루어진다.

그런데, 도포막으로부터 400도를 전후한 온도에서 발생 배출되는 사일렌(SiH₄) 가스가 고온 어닐링 과정에서 다량 배출되면서 질소와 같은 다른 배출 성분 및 분위기 가스인 산소 등과 쉽게 결합한다. 그 결과, 기판 표면과 설비 내부에 실리콘 질화막 혹은 실리콘 산화막으로 이루어진 크기 수백 옴스트롬의 다수의 파티클을 형성한다. 그리고, 파티클은 해당 기판과 설비 내에서 진행될 다른 런(run)의 기판에 파티클 불량을 유발시키는 문제가 발생한다.

또한, 폴리실라제인을 도포하기 전에 기판 표면에 파티클이 존재하는 경우 도2에 화살표로 나타난 바와 같이 파티클(21) 주변에서 SOG막(23)의 두께가 두꺼워져 고온의 어닐링이 이루어진 뒤 전체적으로 강화되고, 부분적으로 불균일하게 된 장력(tension)으로 인해 이 부분에 크랙(crack:25)이 발생하는 문제가 있다. 파티클이나 크랙이 공정중 발생하면 공정 수율을 떨어뜨리고, 제품의 신뢰성에 영향을 미치게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 폴리실라제인을 이용하여 SOG 절연막을 형성할 때의 문제점을 해결하기 위한 것으로, 반도체 장치에서 실라제인 계열의 SOG막을 절연막으로 사용하는 경우에 고온 어닐링 단계에서 기판 표면에 발생하는 파티클을 억제할 수 있는 반도체 장치의 SOG 절연막 형성방법을 제공하는 것을 목적으로 한다.

또한, 본 발명은 반도체 장치에서 실라제인 계열의 SOG막을 절연막으로 사용하는 경우에 SOG막 형성전의 기판 파티클의 영향으로 인한 크랙을 방지할 수 있는 반도체 장치의 SOG 절연막 형성방법을 제공하는 것을 목적으로 한다.

본 발명의 추가적인 목적은 SOG막에 홀을 형성하고 습식 세정을 하는 과정에서 세정에 의해 SOG막으로 이루어진 홀 측벽이 손상을 입는 것을 방지하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따르면, 본 발명의 방법은, 복수의 단차진 패턴을 가지는 기판에 고형 성분이 20 중량% 이하인 폴리실라제인 용액을 이용하여 SOG 절연막을 도포하는 단계, 절연막의 용매성분을 제거하기 위한 50 내지 350도 온도 범위의 프리 베이킹을 실시하는 단계, 프리 베이킹 후에 600 내지 1200도의 온도에서 어닐링을 실시하는 단계를 구비하여 이루어진다.

단, 본 발명으로 충분한 두께의 층간 절연막을 형성하기 어렵기 때문에 HDP CVD와 같은 CVD 방법으로 산화막 등의 SOG막 위에 절연막을 부가적으로 형성하는 단계가 통상적으로 더 이루어지게 된다. 그리고 CVD막에 대한 CMP 평탄화가 추가될 수 있다. 즉, 본 발명으로 층간 절연막을 형성하는 경우에서 하부 패턴에 의한 단차와 갭필을 위해 SOG막을 이용하고, 필요한 두께와 단차 극복을 위해 CVD막을 조합하여 사용함으로써 원하는 성질의 층간 절연막을 형성하게 된다.

본 발명에서 프리 베이킹에서 용매를 제거하는 방법은 계속적으로 2 내지 7분 동안 온도를 상승시키는 방법으로 이루어지거나, 인 시튜(in-situ) 방식으로 동일한 장비의 동일한 공간에서 온도를 단계적으로 높이면서, 가령, 150도, 250도 및 350도에서, 각각 1 내지 2 분 정도씩 가열하는 방법으로 이루어질 수 있다.

본 발명에서 프리 베이킹과 상기 어닐링 단계 사이에 350 내지 500도에서 이루어지는 하드 베이킹 단계가 더 포함될 수도 있다. 이 경우, 하드 베이킹 단계는 불활성 기체는 진공 혹은 산화성 분위기에서도 400도 내지 450도에서 이루어질 수 있다. 진공 분위기나 비활성 가스 분위기에서는 비록 SOG막에서 발생하는 가스가 있는 경우에도 파티클을 형성하는 화학반응이 활발하지 않을 것이며, 이 단계를 부가할 경우 고온 어닐링 단계에서의 가스 발생을 줄여 파티클 발생의 위험을 보다 줄일 수 있다.

하드 베이킹 단계와 관련하여 좀 더 설명하면, 도1에 나타난 종래 기술에 파티클 방지 방법으로 폴리실라제인 용액의 고형 성분을 조절하는 것과 관계없이 하드 베이킹 단계를 넣는 예를 고려할 수 있다. 그러나 이 경우 습식 식각술에 문제가 발생할 수 있다. 예로써, 400 내지 450도의 온도에서 기판을 30분 내지 60분 정도 가열하는 하드 베이킹을 실시한다. 하드 베이킹은 산소와 일부 수증기가 공급된 산화성 분위기에서 이루어진다. 이 과정을 통해 SOG막에서 사일렌 가스, 기타 질소, 수소를 포함하는 성분이 가스 형태로 배출된다. 그러나 이 단계에서 처리 온도는 통상의 큐어링 온도인 600도 보다 낮기 때문에 배출 가스의 양이 작으며, 따라서 온도와 함께 배출 가스 농도도 낮기 때문에 파티클을 형성하는 화학 반응도 적게 이루어진다. 그러므로, 하드 베이킹 과정에서 상당량의 가스가 배출되나 대부분이 배출 가스

는 파티클을 형성하지 않고 외부로 배출된다.

그러나, 하드 베이크 단계에서 산화성 분위기에서 SOG막 표면에 일부 큐어링이 이루어져 확산에 대한 저항이 커지므로 외부 산소의 내부로의 확산뿐만 아니라 내부 성분의 배출도 어렵게 된다. 따라서 고온의 어닐링 단계에서 큐어링이 충분히 이루어지지 않을 수 있다. 그 결과 SOG막에 콘택 홀을 형성하고 습식 세정을 실시하면 프리 베이크만 한 경우에 비해 습식 식각율이 높아지는 것을 볼 수 있다. 도3은 폴리실라제인 용액에서 폴리실라제인의 중량비를 22 내지 23%로 할 경우에 하드 베이크 단계를 실시한 후의 며칠에 걸쳐 측정한 습식 식각율을 나타내는 그래프이다. 습식 식각액으로는 불산과 수산화 암모늄이 함유된 LAL 용액을 사용하였고, 식각율이 높은 두 선그래프는 소프트 베이크/하드 베이크/어닐링을 한 경우, 아래 두 선그래프는 프리 베이크/어닐링만 한 경우를 나타낸다. 증가된 습식 식각율은 종래의 H SQ막에 비해서는 정도가 낮은 것이나, 세정에 의한 식각 손상이 발생할 가능성을 높이는 것이다.

또한, 하드 베이크 단계를 거치는 경우 고온 어닐링 단계와 사이에 시간 지연이 있는 경우, 오염, 흡습 등으로 도4의 그래프와 같이 시간 지연에 따라 폴리실라제인 SOG막의 두께가 증가하는 것을 볼 수 있다. 전체 그래프 가운데 각각의 선그래프는 SOG막에 대한 하드 베이크가 이루어진 환경이 진공(VAC), 산소(O₂), 진공 및 산소(VAC/O₂) 임을 표시한다. 하드 베이크에 의한 습식 식각율의 증가와 두께의 증가는 후속 공정을 진행함에 있어 공정 조건을 정하기 어렵게 하고, 불량률의 발생을 증가시키는 요인이 된다.

한편, 본 발명의 어닐링 단계는 600 내지 1200도에서 10분 내지 120분 이루어질 수 있으며, 700 내지 900도에서 30분 내지 1시간 실시하는 것이 바람직하다. 어닐링 단계를 고온으로 장시간 실시할수록 큐어링의 정도를 높일 수 있다.

폴리실라제인 용액은 고형 성분으로 $-[SiR_1R_2NR_3]_n-$ 형태의 폴리머와 용매 성분 외에 첨가제를 포함할 경우 폴리머의 분자량 등에 변화를 초래할 수 있고, 점도에도 영향을 미칠 수 있다. 스핀 코팅을 사용하는 SOG막에서 결국 형성막의 두께와 평탄도에 영향을 미칠 수 있다. 따라서, 본 발명의 고형물의 중량%는 점도에 영향을 미치는 첨가제를 포함하지 않고 용매에 실질적으로 폴리실라제인만을 포함하는 경우에, 스핀 코팅 방법으로 형성되는 SOG막에 대해서 의미를 가지는 것이다.

더욱 바람직하게는 폴리실라제인 용액은 고형 성분으로 5 내지 15 중량%를 가지는 것으로 한다. 통상 10중량% 이하의 용액을 사용하는 경우 SOG막의 두께를 조절하기 힘들고, 너무 얇은 막이 생기므로 공정에 적용하기 어렵다. 또한, 폴리실라제인 용액은 고형 성분으로 $-(SiH_2NH)_n-$ 형태의 퍼하이드로 폴리실라제인이 가장 바람직하다.

이하 도면을 참조하면서 실시예를 통해 본 발명을 상세히 설명하기로 한다.

(실시예)

도5를 참조하면, 평탄한 기판(51)에 도전체 패턴(53)이 형성되어 있다. 도전체 패턴(53) 사이의 공간은 좁고 깊게 이루어져 가로세로비가 가령 5 이상으로 형성된다. 이러한 도전체 사이의 공간은 경우에 따라 소자 분리를 위해 형성한 트렌치나, 디램의 게이트 라인, 비트 라인이 될 수 있다.

도6을 참조하면, 기판(51)에 형성된 도전체 패턴(53) 사이의 좁은 공간을 채우면서 절연막을 형성하기 위해 폴리실라제인을 스핀 코팅 방식으로 도포하여 SOG막(55)을 형성한다. 폴리실라제인은 $-(SiH_2NH)_n-$ 로 표시될 수 있는 물질로, 크실렌이나 디부틸 에테르(dibutyl ether) 같은 용매에 용해되어 12.8중량% 용액을 형성한 것을 사용한다. 이때 스핀너의 회전 속도는 폴리실라제인 성분이 22중량%인 경우와 같게 하거나 조금 느리게 조절한다. 폴리실라제인 SOG막(55)은 표면이 도전체 패턴(53) 위로 수백 앙스트롬(Angstrom: Å) 위치에 있도록 낮게 형성되나 도전체 패턴(53) 사이의 공간은 대부분 채울 수 있게 된다. 폴리실라제인 도포전에 갭필 능력이 양호한 고밀도 플라즈마 CVD, PECVD,

LPCVD 등을 이용하여 실리콘 산화막, 실리콘 질화막 등을 버퍼층으로 형성할 수 있다. 버퍼층은 폴리실라제인으로 형성되는 SOG막(55)과 도전체 패턴(53)이 형성된 기판(51) 사이의 부착력을 증가시키는 역할을 할 수 있다.

그리고, SOG막(55)이 도포된 기판(51)에 대해 SOG막(55) 내의 용매 성분을 제거하기 위해 프리 베이크를 실시한다. 프리 베이크는 동일한 가열로 혹은 가열 장비의 서셉터에서 기판(51)을 상온부터 단계적으로 온도를 높이는 방식으로 150도, 250도, 350도에서 각각 1 내지 2분 가열하는 방식으로 이루어진다. 이 과정을 통해 대부분의 용매성분이 제거된다. 물론, 온도와 시간은 환경에 따라 조절이 가능하다.

다음으로, 400 내지 450도의 온도에서 기판(51)을 30분 정도 가열하는 하드 베이크를 실시한다. 하드 베이크는 질소 등 활성이 적은 기체나 진공 등의 분위기에서 이루어진다. 이 과정을 통해 SOG막(55)에서 사일렌 가스, 기타 질소, 수소를 포함하는 성분이 가스 형태로 배출된다. 그러나 이 단계에서 처리 온도는 통상의 큐어링 온도인 600도 보다 낮기 때문에 배출 가스의 양이 작으며, 따라서 온도와 함께 배출 가스 농도도 낮다. 또한, 고형 성분의 중량%가 낮아 폴리실라제인 SOG막(55)의 두께도 얇게 형성되어 가스의 배출원의 절대량이 적고, 주위의 분위기가 비활성이므로 파티클을 형성하는 화학 반응이 잘 이루어지지 않는다. 그러므로, 하드 베이크 과정에서 상당량의 가스가 배출되나 대부분이 배출 가스는 파티클을 형성하지 않고 외부로 배출된다.

도7을 참조하면, 하드 베이크 단계에 이어 기판(51)에 대한 700 내지 800도의 어닐링을 실시한다. SOG막(57)의 참조번호가 달라진 것은 고온 어닐링의 결과로 SOG막(55)의 성질이 변화됨을 의미한다. 어닐링은 주로 큐어링을 위해 실시되며, 수증기와 산소가 풍부한 산화성 분위기에서 이루어진다. 어닐링은 가열로에서 10분 정도 이루어질 수도 있으나 큐어링의 정도를 높이기 위해 30분 내지 1시간 진행한다. 비록 고온에서 진행되나 SOG막(55)의 두께가 얇기 때문에 파티클을 생성할 수 있는 배출 가스의 양이 절대적으로 줄어들고, 이미 하드 베이크를 통해 상당 부분의 배출 성분이 제거되었으므로 폴리실라제인 고형분의 중량%가 높은 막을 고온 어닐링을 하는 경우에 비해 배출 가스의 농도가 줄고, 배출 가스와 공급되는 가스의 작용으로 인한 파티클 생성도 억제된다.

한편, SOG막(55) 형성 전에 기판에 파티클이 있는 경우에도 폴리실라제인 용액의 고형 성분이 작아 점도가 낮고, SOG막(55)도 얇게 형성되므로 파티클(21) 주위에 SOG막(55)이 두꺼워지는 부분도 거의 없게 된다. 따라서 고온 어닐링 후에도 장력이 부분적으로 증가하여 생기는 크랙이 줄어들게 된다.

도8을 참조하면, 기판(51)에 형성된 도전체 패턴(53)이 게이트 라인이나 비트 라인의 경우, 후속 공정으로는 SOG막(57)을 보충할 실리콘 산화막, 실리콘 질화막 혹은 실리콘 질화산화막 등의 CVD 절연막(59)을 HDP CVD 방법으로 형성할 수 있다. 그리고 CMP 평탄화를 실시하여 셀 영역과 주변 영역의 단차를 줄일 수 있다.

도9는 이상의 실시예를 흐름도로 나타낸 것이다. 패턴이 기판에 형성되는 단계(110), 중량% 20이하의 폴리실라제인 용액으로 SOG막을 도포하는 단계(120), 프리 베이크를 실시하는 단계(130), 하드 베이크를 실시하는 단계(140), 고온 어닐링을 실시하는 단계(150) 및 후속 공정을 실시하는 단계(160)가 순차적으로 이루어지고 있다.

아래의 [표1]은 종래와 같이 폴리실라제인 용액의 고형 성분 중량%가 22 내지 23%이고 프리 베이크에 이어 어닐링을 실시한 경우의 개별 슬롯(SLOT)에 대한 파티클의 발생 빈도와, 본 발명의 실시예에 따라 폴리실라제인 용액의 고형 성분 중량%가 12.8%를 사용하고 프리 베이크에 이어 어닐링을 실시한 경우의 개별 슬롯(SLOT)에 대한 파티클의 발생 빈도를 구분하여 나타낸 것이다. 단, 관찰의 편의를 위해 하부 패턴을 형성하지 않았다.

또한, [표2]는 폴리실라제인 용액의 고형 성분 중량%를 22%로 한 경우와, 12.8%로 한 경우의 관찰 대상 기판에서 크랙이 관찰된 웨이퍼 갯수를 나타낸 표이다.

[표 1]

슬롯 번호	고형성분이 22중량%인 경우	고형성분이 12.8중량%인 경우
1	F	2
2	F	16
3	F	5
4	F	4
5	F	4
6	406	2
7	5225	5
8	115	4
9	64	5
10	44	8
11	93	2
12	164	4
13	143	1
14	555	4
15	1205	3

F: 파티클의 갯수가 많아 카운팅(counting)이 불가능한 경우

[표 2]

	관찰 기관 수	크랙이 발견된 기관 수
고형성분 22중량%인 경우	14	5
고형성분 12.8중량%인 경우	12	1

이상의 표들에 나온 수치를 고려할 때, 중래와 같이 폴리실라제인 용액의 고형 성분의 중량%가 높은 경우에 비해 파티클의 발생 빈도와 크랙의 발생 빈도가 현저하게 감소함을 알 수 있다.

발명의 효과

본 발명에 따르면, 패턴이 조밀하게 형성된 곳에 SOG막을 절연막으로 사용할 때, SOG막에서 발생하는 가스에 의한 파티클 발생을 억제할 수 있고, SOG막 형성 전에 기관에 존재하는 파티클에 의해 고온 어닐 후에 SOG막에 크랙이 발생하는 것을 방지할 수 있으므로 반도체 장치 제조상의 불량률 방지하고, 제품의 신뢰성을 높일 수 있다.

(57) 청구의 범위

청구항 1.

복수의 단차진 패턴을 가지는 기관에 고형 성분이 20 중량% 이하인 폴리실라제인 용액을 이용하여 SOG(Spin On Glass) 절연막을 도포하는 단계,

상기 절연막의 용매성분을 제거하기 위한 50 내지 350도(℃) 온도 범위의 프리 베이킹을 실시하는 단계,

상기 프리 베이킹 후에 600 내지 1200도의 온도에서 어닐링을 실시하는 단계를 구비하여 이루어지는 반도체 장치의 SOG 절연막 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 프리 베이킹 단계는 계속적으로 2 내지 7분 동안 온도를 상승시키는 방법으로 이루어지는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 프리 베이킹 단계는 인 시튜(in-situ) 방식으로 가열하는 방법으로 이루어지는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 프리 베이킹과 상기 어닐링 단계 사이에 350 내지 500도에서 이루어지는 하드 베이킹 단계가 더 포함되는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 5.

제 4 항에 있어서,

상기 하드 베이킹 단계는 산화성 분위기에서 400도 내지 450도에서 30 내지 60분 이루어지는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 6.

제 1 항에 있어서,

상기 어닐링 단계는 700 내지 900도에서 30분 내지 1시간 실시하는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 폴리실라제인 용액은 고휘 성분으로 $-(SiR_1R_2NR_3)_n-$ 형태의 폴리머만을 포함하는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 8.

제 1 항에 있어서,

상기 폴리실라제인 용액은 고휘 성분이 5 내지 15 중량%인 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 9.

제 8 항에 있어서,

상기 폴리실라제인 용액은 고휘 성분으로 $-(SiR_1R_2NR_3)_n-$ 형태의 폴리머만을 포함하는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 10.

제 1 항에 있어서,

상기 어닐링 단계에 이어 CVD 절연막 형성 단계가 더 구비되는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 11.

제 10 항에 있어서,

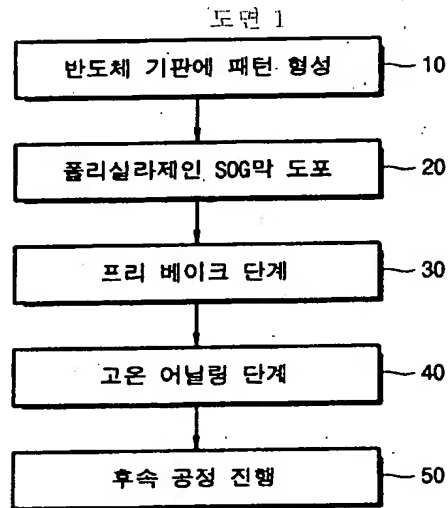
상기 CVD 절연막 형성 단계에서는 HDP CVD로 실리콘 산화막이 적층되는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

청구항 12.

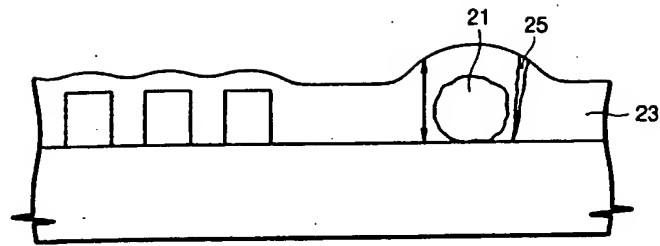
제 10 항에 있어서,

상기 CVD 절연막 형성 단계에 이어 CMP 평탄화 단계가 더 구비되는 것을 특징으로 하는 반도체 장치의 SOG 절연막 형성 방법.

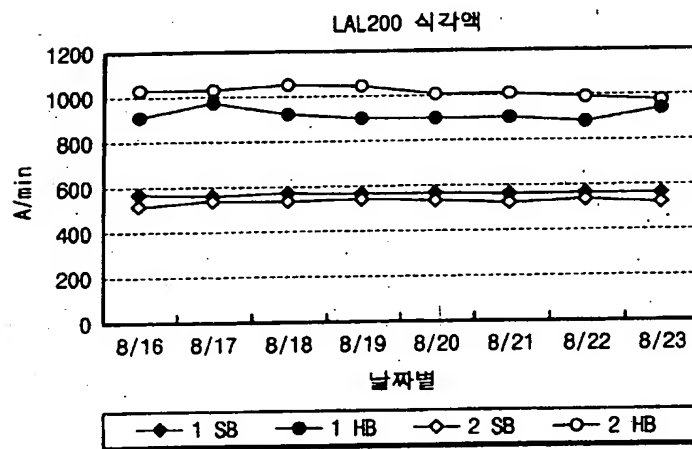
도면



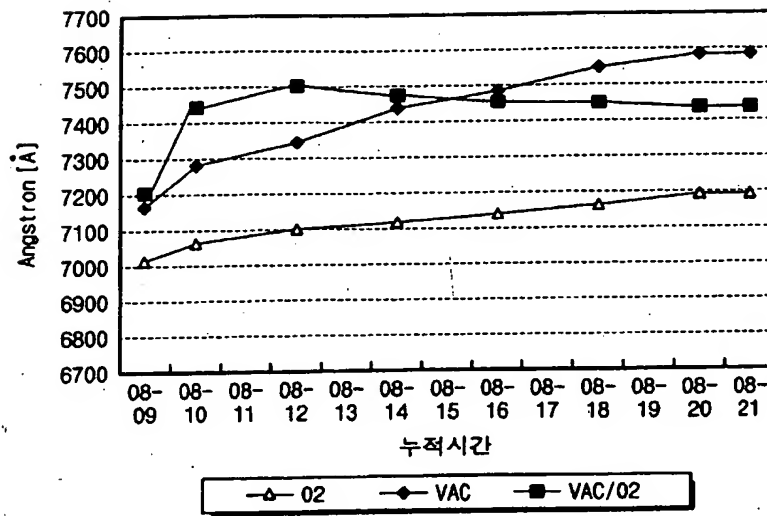
도면 2



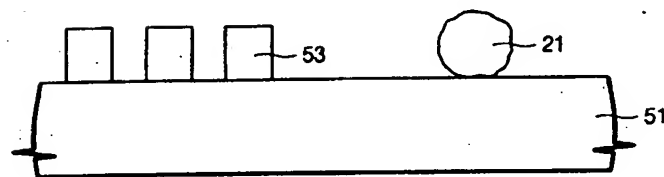
도면 3



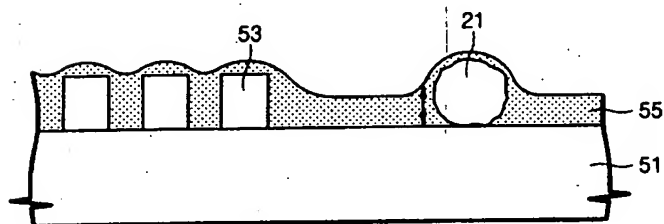
도면 4



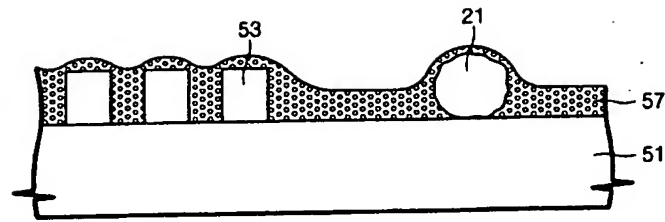
도면 5



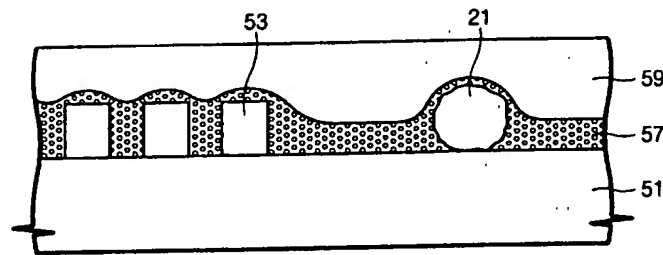
도면 6



도면 7



도면 8



도면 9

